طراحی و شبیه‌سازی یک مبدل آنالوگ به دیجیتال SAR با تکنیک شکل‌دهی نویز

سجاد اینانلو [۱]، رضا اینانلو [۲] و اسماعیل نجفی اقدم [۱]
[۱] دانشگاه صنعتی سهند، sajad.inanlou@gmail.com
[۲] دانشگاه تهران، reza.inanlou@ut.ac.ir
[۱] دانشگاه صنعتی سهند، najafiaghdam@sut.ac.ir

چکیده - در این مقاله یک مبدل آنالوگ به دیجیتال SAR مبتنی بر تکنیک شکل دهی نویز کوانتیزا سیون ارائه شده ا ست. ا ساس کار تکنیک پیشنهادی مفهوم فیدبک خطا (Error Feedback) بوده و که در مدولاتورهای سیگما-دلتا به وفور مورد استفاده قرار می گیرد. وجه تمایز ساختار پی شنهادی این ا ست که عمل شکل دهی نویز را بدون ا ستفاده از هرگونه انتگرال گیر و یا بافر بهره واحد (بدون ا ستفاده از آپ-امپ) انجام می دهد و به خاطر همین دارای ساختاری بسیار ساده می با شد. ساختار پیشنهادی جهت فراهم آوردن یک مرتبه شکل دهی نویز تنها به دو کلاک غیر همپو شا و دو خازن م شقی (Dummy) نیاز دارد. برای اثبات کارایی ساختار پی شنهادی یک مبدل SAR با رزولو شن ۵ بیت و فرکانس نمونه برداری ۱۰۰ کیلوهرتز در تکنولوژی ۹۰ نانومتر سی ماس طراحی و شبیه سازی گردید. نتایج شبیه سازی ن شان می دهند که به ازای ن سبت بیش نمونه برداری ۱۶ دقت مبدل می تواند به ۸,۱ بیت افزایش یابد. این در حالی ست که توان م صرفی مبدل حدود ۱,۱۸میکروواوت می باشد.

۱- مقدمه

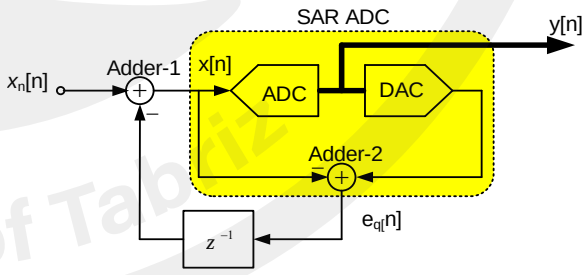
امروزه مبدل‌های آنالوگ به دیجیتال به‌عنوان پل ارتباطی دنیای واقعی کمیت‌های آنالوگ و دنیای پردازش دیجیتال نقش کلیدی در بسیاری از دستگاه‌های الکترونیکی، مخابراتی و کنترلی ایفا می‌کنند. بالا رفتن روزافزون سرعت و دقت پردازشگرهای دیجیتال ازیک‌طرف، روند روبه رشد دستگاه‌های قابل‌حمل که عمدتاً با باتری کار می‌کنند و نیاز آن‌ها به اجزاء کم‌مصرف از طرف دیگر، طراحی مبدل‌های سریع و به‌خصوص کم‌مصرف را به‌عنوان یکی از موضوعات پرخواستار برای پژوهش در زمینه مدارهای مجتمع درآورده است. مبدل‌های آنالوگ به دیجیتال سریع با ولتاژ تغذیه و توان پایین امروزه از عناصر کلیدی دستگاه‌های پردازشی و مخابراتی به شمار می‌روند. کاربرد روزافزون دستگاه‌های الکترونیکی که با باتری کار می‌کنند، مسئله ولتاژ تغذیه و به‌خصوص توان مصرفی را از اهمیت ویژه‌ای برخوردار ساخته است [۱-۳].

یکی از مبدل‌های آنالوگ به دیجیتالی که امروزه بیشتر مورد توجه طراحان مدار قرار گرفته است، مبدل تقریب متوالی[۱] یا همان SAR می‌باشد. مزیت اصلی این مبدل در مقایسه با سایر مبدل‌های داده، سادگی ساختار آن و توان مصرفی پایین می‌باشد. از آنجایی که مبدل دیجیتال به آنالوگ[۲] (DAC) به کار رفته در ساختار این مبدل عمدتا مبتنی بر یک آرایه خازنی می‌باشد، سطح تراشه آن به خاطر افزایش نمایی خازن‌ها به ازای افزایش خطی تعداد بیت‌ها، افزایش می‌یابد که این یکی از عمده‌ترین چالش‌های طراحی این نوع مبدل ها به شمار می‌آیند. از طرفی دیگر توان مصرفی این مبدل عمدتا توسط انرژی کلیدزنی آرایه خازنی (DAC) تعیین می‌شود، که نشان‌دهنده اهمیت این بلوک می‌باشد. هر دو پارامتر انرژی کلیدزنی و سطح تراشه اشغالی به ابعاد خازن‌های DAC وابسته می‌باشد به طوری که با کاهش ابعاد آن می‌توان هم توان مصرفی و هم سطح تراشه اشغالی را کاهش داد. ولی باید توجه کرد که کوچک شدن ابعاد، عدم تطبیق بین افزاره‌ها که عامل اصلی کاهش دقت در مدارهای آنالوگ است، افزایش می‌دهد [۱] - [۴].

[۱] Successive Approximation Analog to Digital Converter

[۲] Digital to Analog Converter

متاسفانه در مبدل تقریب متوالی دستیابی به دقت‌های بالا، به خاطر محدود بودن دقت بلوک‌های مداری مبدل محدود می‌شود. زیرا با افزایش رزولوشن اختلاف ابعاد بین المان‌های مبدل دیجیتال به آنالوگ افزایش یافته و این باعث خراب‌تر شدن تطبیق آنها می‌شود. در نتیجه برای رزولوشن‌های بالا استفاده از روش‌های تصحیح خطای مدار مبدل دیجیتال به آنالوگ موجود در مبدل SAR غیرقابل‌اجتناب است [۳-۶]. از طرفی برای رزولوشن‌های بالا مقدار ولتاژ LSB[۳] در مقایسه با نویز ارجاع داده شده به ورودی مقایسه‌گر کاهش می‌یابد در نتیجه برای جلوگیری از خطای تصمیم‌گیری لازم است که یک پیش تقویت_کننده در ورودی مقایسه‌گر قرار گیرد. بنابراین به خاطر افزایش توان مصرفی درجه شایستگی[۴] مبدل عملا کاهش می‌یابد. رایج ترین روش برای دستیابی به دقت بالا، استفاده از روش های کالیبراسیون دیجیتال می_باشد [۴-۶]. اگرچه این روش‌ها خطینگی و دقت مبدل را تا حد چشمگیری بهبود می‌دهند ولی سخت افزار و توان مصرفی مبدل به خاطر مدارهای تصحیح کننده دیجیتال افزایش می‌یابد. استفاده از ویژگی مدولاتورهای دلتا-سیگما (بیش نمونه برداری و شکل‌دهی نویز) برای افزایش دقت مبدل SAR از جمله روش های جدیدی است که اخیرا در مراجع [۷] -[۱۲] مطرح شده است. در همه این روش‌ها جهت استخراج و انتقال خطای مانده از یک تقویت کننده عملیاتی استفاده شده است. همین امر باعث پیچیدگی قسمت آنالوگ مبدل SAR گردیده است. بر این اساس در این مقاله یک مبدل SAR با تکنیک شکل دهی نویز بدون آپ-امپ جهت افزایش دقت آن ارائه شده است. ساختار مبدل پیشنهادی خیلی ساده بوده و تنها از دو کلاک غیر همپوشا به همراه دو خازن مشقی[۵] جهت شکل‌دهی نویز کوانتیزاسیون استفاده می کند.



شکل ۱ ساختار پشنهادی در سطح سیستم.

۲- ساختار مبدل تقریب متوالی پیشنهادی

ساختار پیشنهادی در سطح سیستمی شکل ۱ نشان داده شده است. این ساختار مشابه ساختار [۱۰] می باشد با این تفاوت که بافر بهره واحد در آن حذف شده است. لازم به ذکر است که این ساختار در مدولاتورهای دلتا-سیگما به ساختار فیدبک خطا معروف بوده و فاقد هر گونه انتگرال‌گیر می‌باشد . اکثر المان‌های مورد نیاز برای پیاده-سازی این ساختار توسط خود مبدل SAR فراهم شده و تنها از تعدادی سوئیچ و خازن اضافی برای فراهم آوردن عمل شکل‌دهی نویز مرتبه اول استفاده می‌شود. برای این که درک بهتری از این ساختار داشته باشیم. تابع تبدیل سیگنال (STF) و تابع نویز (NTF) را بدست می‌آوریم.

$$y[n]=e_q[n]+x[n] \quad (۱)$$

$$x[n]=-e_q[n-1]+x_{in}[n] \quad (۲)$$

با قرار دان رابطه (۲) در رابطه (۱) و انجام عمل تبدیل Z از طرفین به رابطه زیر خواهیم رسید:

$$Y(z)=(1-z^{-1})E_Q(z)+X_{IN}(z) \quad (۳)$$

همان طوری که ملاحظه می‌شود سیگنال ورودی با ضریب ۱ و خطای کوانتیزاسیون با تابع $1-z^{-1}$ به خروجی منتقل می‌شود که نشان می‌دهد خطای کوانیزاسیون یک مرتبه شکل دهی می‌شود. ساختار فوق در واقع نوعی مدولاتور مرتبه اول بوده که در آن از مبدل SAR به عنوان کوانتایزر استفاده شده است. در یک مدولاتور دلتا-سیگما خطای کوانتیزاسیونی که در یک دوره به سیگنال اضافه می‌شود بایستی مستقل از نویز کوانتیزاسیونی که در مراحل قبلی به سیگنال اضافه می‌شوند، باشد به عبارت دیگر نباید همبستگی خاصی بین سیگنال ورودی و خطای کوانتیزاسیون وجود باشد. در مدولاتورهای مرتبه بالا و یا در مدولاتورهای چند بیت همبستگی بین خطای کوانتزایسون و سیگنال ورودی حداقل می‌باشد. ولی در مدولاتورهای مرتبه پایین تک بیت میزان همبستگی زیاد بوده و اصطلاحاً گفته می‌شود که کوانتایزر به صورت غیرخطی کار می‌کند و در طیف سیگنال هارمونیک ایجاد می‌شود [۹]-[۱۲]. بر این اساس ساختار پیشنهادی به ازای OSR و کوانتایزر با رزولوشن‌های مختلف با استفاده از نرم

[۳] Least Significant Bit

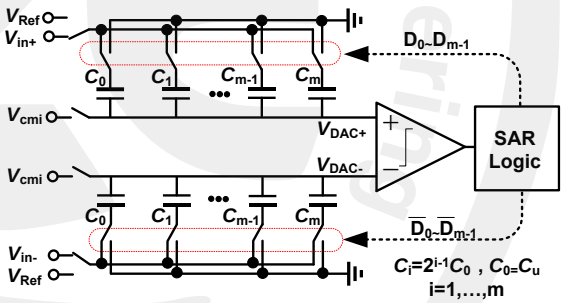
[۴] Figure Of Merit

[۵] Dummy

افزار MATLAB شبیه‌سازی گردید. نتایج شبیه‌سازی نشان می‌دهد که به ازای کوانتایزر ۵ بیت و نسبت بیش نمونه‌برداری ۱۶ مبدل می‌تواند محدوده دینامیکی وسیع با نسبت سیگنال به نویز کوانتزاسیونی بیشتر از 56 dB را فراهم آورد. بنابراین با انتخاب رزولوشن ۵ بیت و نسبت بیش نمونه‌برداری ۱۶ مبدل SAR برای رسیدن به دقت ۹ بیت طراحی گردید.

۲-۱- نحوه استخراج خطای کوانتیزاسیون

در مبدل SAR اولین مرحله برای فراهم آوردن عمل شکل دهی نویز، استخراج خطای کوانتیزاسیون می‌باشد. به این منظور، شکل ۲ را که مربوط به یک مبدل SAR معمولی با رزولوشن m بیت (با ساختار تماما تفاضلی) در نظر می‌گیریم. طرز کار مدار به این صورت است که در فاز نمونه‌برداری صفحات بالایی همه خازن‌ها به ولتاژ مد مشترک ورودی (V_{cmi}) و صفحات پایین آنها به ولتاژهای ورودی V_{in+} و V_{in-} وصل می‌شوند. بنابراین خازن‌ها از ولتاژ V_{cmi}-$V_{in\pm}$ نمونه‌برداری می‌کنند. در پایان فاز نمونه‌برداری خازن‌ها از این ولتاژها باز شده و با شروع فاز تبدیل لاجیک دیجیتال صفحات پایینی خازن‌ها به ولتاژ مرجع (V_{Ref}) و یا زمین وصل می‌کند تا ورودی نمونه گرفته شده



شکل ۲ یک مبدل SAR معمولی با رزولوشن ۸ بیت.

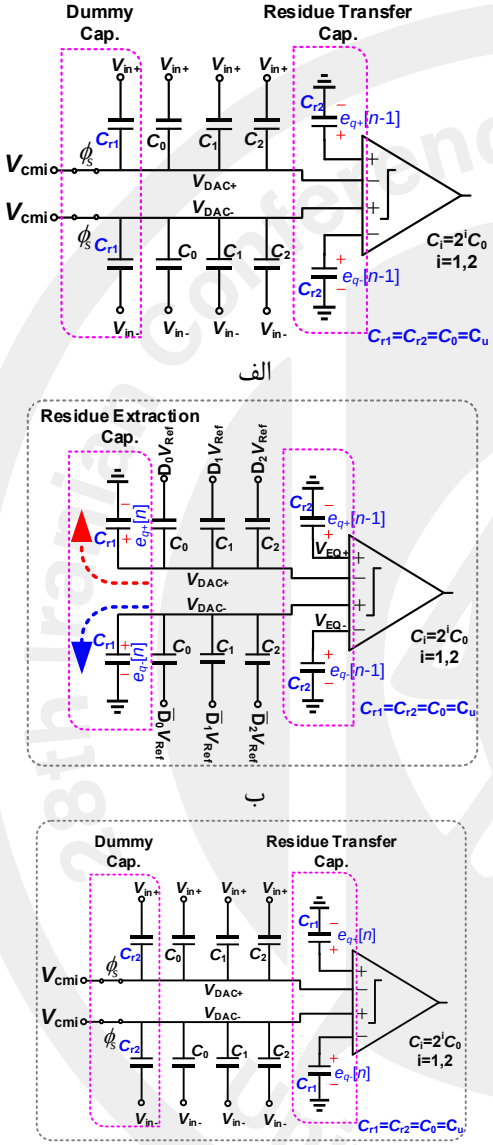
تقریب زده شود. در آخر فاز تبدیل ولتاژهای خروجی DACها از روابط زیر بدست می‌آیند:

$$V_{DAC+}[n] = -V_{in+}[n] + V_{cmi} + D_{m-1}[n]\frac{V_{Ref}}{2} + \ldots + D_0[n]\frac{V_{Ref}}{2^m} \quad (۴)$$

$$V_{DAC-}[n] = -V_{in-}[n] + V_{cmi} + \overline{D_{m-1}}[n]\frac{V_{Ref}}{2} + \ldots + \overline{D_0}[n]\frac{V_{Ref}}{2^m} \quad (۵)$$

در روابط فوق اختلاف بین ولتاژهای V_{cmi} و $V_{DAC\pm}$ خطای کوانتیزاسیون بوده که آخر فاز تبدیل در همه خازن‌های DAC ذخیره می‌شود. به طور خلاصه در آخر فاز تبدیل ولتاژ V_{DAC} (V_{DAC+}-V_{DAC-}) برابر خطای کوانتیزاسیون تفاضلی ($e_{q+}[n]$-$e_{q-}[n]$) خواهد بود:

$$V_{DAC}[n] = V_{DAC+}[n] - V_{DAC-}[n] = e_q[n] \quad (۶)$$



شکل ۳: ساختار مبدل پیشنهادی در حالت ۳ بیتی

جهت شکل دهی نویز این نویز بایستی استخراج و منتقل شود. در ساختار پیشنهادی برای ا ستخراج و انتقال خطای کوانتیزا سیون از خود خازن‌های

مشـقی مبدل دیجیتال به آنالوگ به همراه دو فاز غیر همپوشـا[۶] اسـتفاده شده ا ست. شکل ۳ ساختار پیشنهادی را در قالب یک مبدل ۳ بیتی را نشـان می‌دهد. در این سـاختار خازن‌های $C_{r1,2}$ برای اسـتخراج و انتقال خطای کوانتیزاسـیون به کار رفته و توسـط دو فاز غیر همپوشـا کنترل می‌شـوند. بطوری که یکی از خازن‌ها به DAC وصـل شـده و نقش خازن مشـقی را ایفا می‌کند در حالی که خازن دیگر به ورودی مقایسـه گر چهار ورودی و صل شده و خطای کوانتیزا سیون مربوط به نمونه قبلی را منتقل می‌کند.

با فرض این که خطای کوانیزاسیون ذخیره شده در خازن C_{r2} برابر $e_q[n-1]$ باشد (شکل ۳-الف). در طول فاز نمونه‌برداری صفحات بالایی خازن‌ها به ولتاژ مد مشترک ورودی وصل شده و به طور همزمان صفحات پایینی خازن‌ها به ولتاژ ورودی وصل می‌شوند. توجه شود که خطای کوانتیزاسیون نمونه قبلی تا آخر فاز تبدیل فعلی حفظ می شود.

در این حالت (آخر فاز نمونه‌برداری) ولتاژهای ورودی مقایسه‌گر برابر مقادیر توصیف شده با روابط (۷) تا (۱۰) خواهد بود. بنابراین می توان اینطور در نظر گرفت که اختلاف بین ولتاژ ورودی و خطای کوانتیزاسیون مربوط به نمونه قبلی در خازن‌های DAC ذخیره می‌شود.

$$V_{DAC+}[n] = -V_{in+}[n] + V_{cmi} \quad (۷)$$

$$V_{DAC-}[n] = -V_{in-}[n] + V_{cmi} \quad (۸)$$

$$V_{EQ+}[n] = e_{q+}[n-1] \quad (۹)$$

$$V_{EQ-}[n] = e_{q-}[n-1] \quad (۱۰)$$

با شروع فاز تبدیل صفحات بالایی خازن‌ها از ولتاژ ورودی باز شده و صفحات پایینی آن‌ها توسط لاجیک کنترل می‌شود تا ولتاژ نمونه گرفته شده تقریب زده شود. همان طوری که در شکل ۳-ب نشان داده شده در آخر فاز تبدیل خطای کوانتیزاسیون مربوط به نمونه فعلی یعنی $e_q[n]$ در خازن C_{r1} ذخیره می‌شود. بنابراین در آخر فاز تبدیل روابط زیر حاصل خواهد شد:

$$\begin{aligned} &V_{DAC+}[n] + V_{EQ-}[n] = e_{q-}[n-1] - V_{in+}[n] + V_{cmi} \\ &+ D_{m-1}[n]\frac{V_{\mathrm{Ref}}}{2} + \ldots + D_0[n]\frac{V_{\mathrm{Ref}}}{2^m} \end{aligned} \quad (۱۱)$$

$$\begin{aligned} &V_{DAC-}[n] + V_{EQ+}[n] = e_{q+}[n-1] - V_{in-}[n] + V_{cmi} \\ &+ \overline{D_{m-1}}[n]\frac{V_{\mathrm{Ref}}}{2} + \ldots + \overline{D_0}[n]\frac{V_{\mathrm{Ref}}}{2^m} \end{aligned} \quad (۱۲)$$

بنابراین در حالت تفاضلی خواهیم داشت:

$$\begin{aligned} &V_{DAC}[n] + V_{EQ}[n] \\ &= e_q[n-1] - V_{in}[n] + \sum_{i=0}^{m-1} D_i[n]\frac{V_{\mathrm{Ref}}}{2^{m-i}} \end{aligned} \quad (۱۳)$$

با توجه به رابطه (۶) عبارت سمت چپ رابطه (۱۳) نیز برابر $e_q[n]$ خواهد بود. توجه شود که در ایجاد $e_q[n]$ ولتاژهای V_{EQ} نیز نقش داشته اند. بنابراین رابطه (۱۴) معتبر خواهد بود:

$$V_{DAC}[n] + V_{EQ}[n] = e_q[n] \quad (۱۴)$$

با قرارا دادن رابطه (۱۳) در رابطه (۱۴) عبارت زیر حاصل می شود:

$$e_q[n] - e_q[n-1] = -V_{in}[n] + \underbrace{\sum_{i=0}^{m-1} D_i[n]\frac{V_{\mathrm{Ref}}}{2^{m-i}}}_{V_{out}[n]} \quad (۱۵)$$

رابطه فوق را می توان به صورت زیر نشان داد:

$$V_{out}[n] = V_{in}[n] + e_q[n] - e_q[n-1] \quad (۱۶)$$

$$V_{out}(z) = \underbrace{1}_{STF(z)} \times V_{in}(z) + \underbrace{\left(1 - z^{-1}\right)}_{NTF(z)} E_Q(z) \quad (۱۷)$$

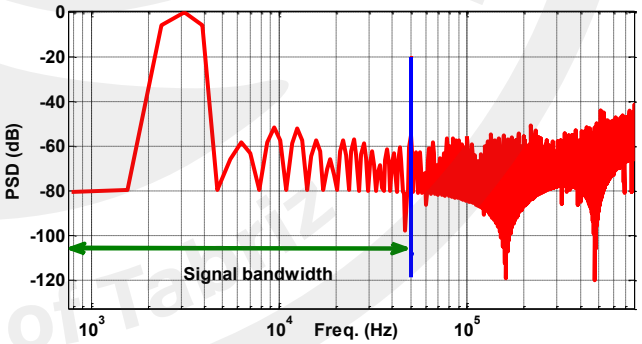
که عبارت $e_{q+}[n] - e_{q+}[n-1]$ نشان دهنده این است که نویز کوانتیزاسیون یک مرتبه شکل‌دهی شده است. با شروع فاز نمونه-برداری بعدی جای خازن‌های $C_{r1,2}$ها با هم عوض شده به طوری که C_{r2} به خازن‌های DAC اضافه شده و نقش خازن مشقی را ایفا می‌کند در حالی که C_{r1} به ورودی مقایسه_گر چهار ورودی وصل شده و خطای کوانتیزاسیون مرحله قبلی یعنی $e_q[n]$ را منتقل می‌کند (شکل ۳-ج). این پروسه در هر فاز نمونه‌برداری تکرار می‌شود.

[۶] Non-Overlapping

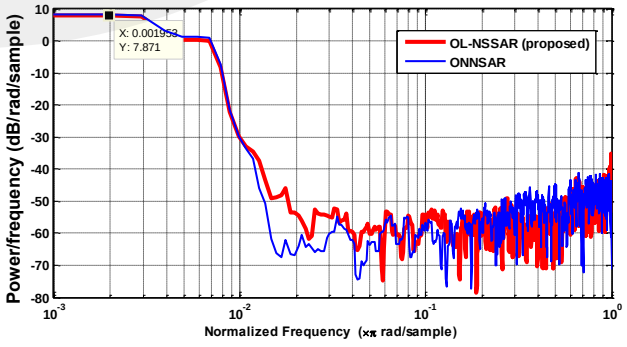
۳- نتایج شبیه سازی

برای اثبات کارایی طرح پیشنهادی یک مبدل آنالوگ به دیجیتال SAR با ولتاژ تغذیه 0.5 V، رزولوشن (سخت افزار) 5 بیت، پارامتر بیش نمونه برداری ۱۶ و فرکانس نمونه‌برداری نایکوئیست 100 kS/s در تکنولوژی 90 nm CMOS شبیه‌سازی شده است.

برای ارزیابی عملکرد طیفی مبدل، SNDR آن با استفاده از آنالیز تبدیل فوریه سریع محاسبه گردید که طیف خروجی مربوطه در شکل ۴ نشان داده شده است. این طیف به ازای ورودی سینوسی با فرکانس 3.125 kHz و دامنه 0.44 V (-1.11 dBFS) و بدون در نظر گرفتن اثر نویز حرارتی ترسیم شده است که مقدار عددی آن حدود 50.12 dB می‌باشد. با احتساب توان نویز حرارتی مدار محاسبه گردید هرچند مقدار SNDR مبدل برابر با 50.1 dB خواهد بود (یعنی دقت حدود ۸,۰۱ بیت). همان طوری که مشاهده می‌شود علیرغم بزرگ بودن دامنه سیگنال ورودی SFDR مبدل بزرگتر از 55 dB بوده که نشان از عملکرد خطی آن می‌باشد. خلاصه عملکرد مبدل از لحاظ توان مصرفی و غیره در جدول ۱ آورده شده است. در شکل ۵ کیفیت شکل دهی نویز مبدل پیشنهادی با مبدل مرجع [۱۲] مقایسه شده است. همانطور که مشاهده می‌شود. کف نویز در مبدل پیشنهادی کمی بالا می‌باشد. علت این امر این است که خطای کوانتیزاسیون در مبدل پیشنهادی تضعیف می‌شود. دلیل اصلی این تضعیف این است که خازن‌های مشقی تا حدودی با خازن های پارازیتی مقایسه‌گر قابل مقایسه می‌باشد و همین باعث می‌شود



شکل ۴: طیف خروجی مبدل



شکل ۵: مقایسه طیف خروجی مبدل با ساختار [۱۲]

که خطای کوانتیزاسیون در اثر عمل تقسیم خازنی تضعیف شود. توجه شود که کل خازن مورد استفاده در DAC برابر $33C_u$ می باشد، این در حالیست که کل خازن مورد استفاده در یک مبدل SAR ۸ بیتی برابر $256C_u$ می‌باشد. بنابراین می توان گفت که در ساختار پیشنهادی مقدار خازن مصرفی DAC با این روش حدود % 78 کاهش می‌یابد.

جدول ۱ خلاصه عملکرد مبدل در گوشه‌های تکنولوژی

Parameter	TT @ 27°C	FF @ -40°C	SS @ 85°C
SNDR	50.1 dB	52.54 dB	48
SFDR	55dB	53dB	51
ENOB	8.01 bit	8.4 bit	7.69 bit
ADC Power dissipation			
Comparator	360nW	342nW	420 nW
DAC+ Decoder	450 nW	428 nW	395 nW
OTA	0 µW	0 µW	0 µW
SAR Logic	370 nW	430 nW	385 nW
Total power consumption	1.18 µW	1.2 µW	1.12 µW
Sampling rate	100 KHz		
OSR	16		
Signal bandwidth	50 kHz		
Supply voltage	0.5 V		
Technology	90 nm CMOS		

جدول ۲: مقایسه عملکرد مبدل با سایرکارهای مرتبط

Parameters	JSSC'12 [9]††	AICSP'13 [10]†	AEU'15 [12]	**This work** †††
Process	65 nm	90 nm	90 nm	**90** nm
Resolution	8 Bit	10 Bit	5 Bit	**5** Bit
Sampling rate	90 MS/s	100 kS/s	100 kS/s	**100 kS/s**
Band width	11 MS/s	50 kS/s	50 kS/s	**50 kS/s**
Supply (V)	1	0.5	0.5	**0.5**
Power dissipation	806 µW	4.51 µW	5.78 µW	**1.18 µW**
SNDR (dB)	62	64.99	59.36	**50.1**
Total Cap.(pF)	>1.2	6.2	1	**1.02**
ENOB (Bit	10	10.5	9.57	**8.01**
FoM (fJ/c-s)	35.7	31	76	**45.77**

۴- مقایسه

اما به عنوان آخرین بخش، عملکرد مبدل آنالوگ به دیجیتال ارائه شده در این پایان‌نامه با مبدل‌های SAR ارائه‌شده در سایر مراجع که عملکرد مناسبی دارند، مقایسه می‌گردد. جدول ۲ مقایسه انجام‌گرفته با سایر کارهای مرتبط را نشان می‌دهد. در این جدول، برای مقایسه عملکرد مبدل‌های مختلف از معیاری باعنوان معیار شایستگی استفاده شده است. تعریف متداولی که برای این معیار در مراجع مختلف ارائه شده است به‌صورت زیر می‌باشد:

$$FoM = \frac{Power}{2\times BW\times 2^{ENOB}} \qquad (۱۸)$$

که در این رابطه، BW پهنای باند، Power توان مصرفی مبدل و ENOB تعداد بیت موثر مبدل را نشان می‌دهد. هرچه اندازه این پارامتر برای مبدلی کوچکتر باشد نشانگر میزان شایستگی بالاتر آن می‌باشد. اگرچه ممکن است مقایسه انجام‌گرفته در جدول ۲ منصفانه به نظر نرسد چرا که اکثر مراجع مقایسه شده، مبدل‌هایی ساخته شده می‌باشند و از طرفی سطح تراشه اشغالی عامل دیگری است که در محاسبه آن در نظر گرفته نمی‌شود. با توجه به این جدول مشاهده می‌گردد مبدل طراحی‌شده دارای توان مصرفی پایین تری نسبت به ساختار [۱۲] می‌باشد. هرچند که دقت آن نیز حدود ۱،۵ کمتر می‌باشد. ولی بایستی توجه شود که ساختار پیشنهادی به مراتب ساده‌تر و بلوک‌های آن تماما دیجیتال بوده و با تکنولوژی‌های پیشرفته سی‌ماس سازگاری بهتری دارد. از طرفی دیگر به خاطر شکل دهی بعضی از سوئیچ_های کنترلی توان نویز حرارتی مدار خیلی کمتر از ساختار [۱۲] می‌باشد و در نتیجه مقدار خازن واحد می‌تواند کوچکتر انتخاب شود.

۵- نتیجه گیری

در این مقاله یک مبدل آنالوگ به دیجیتال **SAR** مبتنی بر تکنیک شکل دهی نویز کوانتیزا سیون ارائه گردید که ا ساس کار آن مفهوم فیدبک خطا بود. ساختار پی شنهادی عمل شکل دهی نویز را بدون ا ستفاده از هرگونه انتگرال گیر و یا بافر بهره واحد (بدون ا ستفاده از آپ-امپ) انجام می دهد و به خاطر همین دارای ساختاری بسیار ساده می باشد. برای اثبات کارایی ساختار پیشنهادی یک مبدل **SAR** با رزولوشن ۵ بیت و فرکانس نمونه برداری ۱۰۰ کیلوهرتز در تکنولوژی ۹۰ نانومتر سی ماس طراحی و شبیه سازی گردید. نتایج شبیه سازی نشان می دهند که به ازای نسبت بیش نمونه برداری ۱۶ دقت مبدل می تواند به ۸،۱ بیت افزایش یابد. این در حالی است که توان مصرفی مبدل حدود ۱،۱۸میکروات می باشد.

مراجع

[1] F. Maloberti, Data converters, Springer-Verlag, 2007.
[2] S. U. Ay, “A sub-1 Volt 10-bit supply boosted SAR ADC design in standard CMOS, ” Journal of Analog Integrated Circuits and Signal Processing, vol. 66, no. 2, pp. 213-221, Feb. 2011.
[3] X. Y. Tong, Z. M. Zhu, Y. T. Yang and L. X. Liu, “D/A conversion networks for high-resolution SAR A/D converters,” Electronics Letters, vol.47, no.3, pp. 169 - 171, Feb. 2011.
[4] W.-H. Tseng, W.-L. Lee, C.-Y. Huang, and P.-C. Chiu, “A 12-bit 104 MS/s SAR ADC in 28 nm CMOS for digitally-assisted wireless transmitters,” *IEEE J. Solid-State Circuits*, vol. 51, no. 10, pp. 2222–2231, Oct. 2016.
[5] B. Xu, Y. Zhou, and Y. Chiu, “A 23-mW 24-GS/s 6-bit voltage-time hybrid time-interleaved ADC in 28-nm CMOS,” *IEEE J. Solid-State Circuits*, vol. 52, no. 4, pp. 1091–1100, Apr. 2017.
[6] S.-H. Cho, C.-K. Lee, J.-K. Kwon, and S.-T. Ryu, “A 550-μW 10-b 40-MS/s SAR ADC with multistep addition-only digital error correction,” *IEEE J. Solid-State Circuits,* vol. 46, no. 8, pp. 1881-1892, Aug. 2011.
[7] C.-H. Chen, and et al, “Noise-shaping SAR ADC using three capacitors,” IET Electron Lett, vol. 49, no. 3, Jan. 2013.
[8] L. He, and et al, “Self-Dithering Technique for High-Resolution SAR ADC Design,” IEEE Transactions on Circuits and Systems II: Express Briefs, vol.62, no. 12, pp. 1124 - 1128, Dec. 2015
[9] J. Fredenburg and M. Flynn, “A 90 MS/s 11MHz bandwidth 62 dB SNDR noise-shaping SAR ADC,” *IEEE J. Solid-State Circuits,* vol. 47, no. 12, pp. 2898-2904, Dec. 2012.
[10] R. Inanlou, and et al, “A noise-shaping SAR ADC for energy limited applications in 90 nm CMOS technology,” *Analog IntegrCirc Sig Process*, vol. 77, no. 2, pp. 257-269, Nov. 2013.
[11] K.S. Kim, J. Kim and S.H. Cho, “Nth-order multi-bit ΣΔ ADC using SAR quantiser,” *Electronics Letters*, vol.46, no.19, pp. 1315 - 1316, Sep. 2010.
[12] R. Inanlou and M. Yavari, “A simple structure for noise-shaping SAR ADC in 90 nm CMOS technology,” Int. J. Electron. Commun. (AEÜ) 69 (2015) 1085–109